

W1033 E0

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-308157

(43)Date of publication of application : 05.11.1999

(51)Int.Cl. H04B 7/005  
H03H 21/00  
H04L 27/01  
H04L 27/14  
H04L 27/22

(21)Application number : 10-112271

(71)Applicant : NIPPON TELEGR &amp; TELEPH CORP &lt;NTT&gt;

(22)Date of filing : 22.04.1998

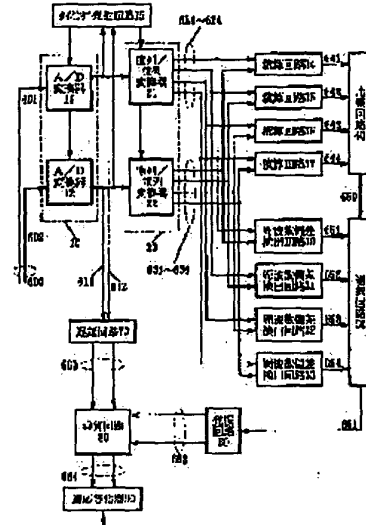
(72)Inventor : MUNEDA SATOSHI  
UENO SHIYUUTA

## (54) FREQUENCY DEVIATION COMPENSATION CIRCUIT FOR ADAPTIVE EQUALIZER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To avoid the use of the frequency deviation of a large detection error and to improve correction accuracy by detecting the frequency deviations for respective timings from the signals of plural systems sampled by the integral multiple of a symbol rate, utilizing the frequency of highest reliability among them and correcting the frequency deviation.

**SOLUTION:** A serial/parallel conversion circuit 20 converts the output of an A/D conversion circuit 10 for sampling base band signals by the integral multiple of the symbol rate to the signals of the symbol rate of the plural systems. Frequency deviation detection circuits 30-33 process the signals and detect the frequency deviations by using training signals and integration circuits 34-37 integrate the power of the signals in a fixed period. A multiplication circuit 80 corrects the frequency deviation to an adaptive equalizer 90 corresponding to the signals outputted by an oscillation circuit 60 according to the one selected from the respective frequency deviations by a selection circuit 50 corresponding to the compared result of a comparator circuit 40 of the integrated power.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

W 1033 E O

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-308157

(43)公開日 平成11年(1999)11月5日

(51)Int.Cl.<sup>9</sup>

識別記号

F I

H 0 4 B 7/005

H 0 4 B 7/005

H 0 3 H 21/00

H 0 3 H 21/00

H 0 4 L 27/01

H 0 4 L 27/00

K

27/14

27/14

B

27/22

27/22

Z

審査請求 未請求 請求項の数4 O L (全 13 頁)

(21)出願番号

特願平10-112271

(71)出願人 00004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(22)出願日

平成10年(1998)4月22日

(72)発明者 宗田 悟志

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(72)発明者 上野 衆太

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(74)代理人 弁理士 古谷 史旺

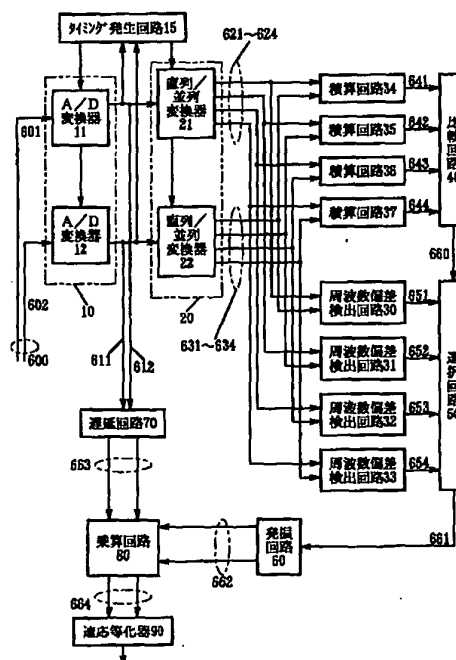
(54)【発明の名称】 適応等化器用周波数偏差補償回路

(57)【要約】

【課題】 本発明は適応等化器用周波数偏差補償回路において位相遷移が位相空間ダイアグラムの0を通る変調方式を採用した場合に補償性能が劣化するのを防止するとともに、周波数偏差検出のために用いるトレーニング信号と等化器が利用するトレーニング信号との共通化を可能にすることを目的とする。

【解決手段】 シンボルレートの整数倍でサンプリングするA/D変換回路10とその出力を入力して複数系統のシンボルレートの信号を出力するシリアル-パラレル変換回路20と信号を系統毎に処理してトレーニング信号から周波数偏差を検出する複数の周波数偏差検出回路30~33と信号の電力をトレーニング信号の一定期間について積算する複数の積算回路34~37と積算された電力を互いに比較する比較回路40とその出力信号に従って複数の周波数偏差の1つを選択する選択回路50と選択した周波数偏差に従って信号を出力する発振回路60と周波数偏差を発振回路60が出力する信号で補正する乗算回路80とを設けた。

第1の実施の形態の適応等化器用周波数偏差補償回路の構成



## 【特許請求の範囲】

【請求項 1】 受信信号のマルチパスフェージングによる波形歪みを補償する等化器の前に設置され、所定数のシンボル毎に同じ信号が繰り返し現れるトレーニング信号を含むバーストフォーマットの受信信号を処理して受信信号の周波数偏差を補償する適応等化器用周波数偏差補償回路において、

受信信号を直交検波して得られるベースバンド信号を、シンボルレートの 2 以上の整数倍のレートで周期的にサンプリングしてアナログーデジタル変換する A/D 変換回路と、

シンボルレートの整数倍のレートで前記 A/D 変換回路から出力されるデジタル信号を入力してシリアルーパラレル変換を行い、複数系統に分離されたシンボルレートのデジタル信号を出力するシリアルーパラレル変換回路と、

前記シリアルーパラレル変換回路が出力する複数系統のデジタル信号を系統毎に処理して前記デジタル信号に含まれるトレーニング信号から、複数のサンプリングタイミングの周波数偏差を検出する複数の周波数偏差検出回路と、

前記シリアルーパラレル変換回路が出力する複数系統のデジタル信号を系統毎に処理して、前記デジタル信号の電力をトレーニング信号の一定期間について積算する複数の積算回路と、

前記複数の積算回路がそれぞれ出力する積算された電力を互いに比較して、比較の結果を示す信号を出力する比較回路と、

前記比較回路が出力する信号に従って、前記複数の周波数偏差検出回路が出力する複数の周波数偏差の 1 つを選択する選択回路と、

前記選択回路が選択した周波数偏差に従って、正弦波状の信号を出力する発振回路と、

等化器に入力される信号の周波数偏差を、前記発振回路が出力する信号に応じて補正する乗算回路とを設けたことを特徴とする適応等化器用周波数偏差補償回路。

【請求項 2】 請求項 1 記載の適応等化器用周波数偏差補償回路において、

前記 A/D 変換回路が出力するデジタル信号を遅延して前記乗算回路に入力する遅延回路を設けたことを特徴とする適応等化器用周波数偏差補償回路。

【請求項 3】 受信信号のマルチパスフェージングによる波形歪みを補償する等化器の前に設置され、所定数のシンボル毎に同じ信号が繰り返し現れるトレーニング信号を含むバーストフォーマットの受信信号を処理して受信信号の周波数偏差を補償する適応等化器用周波数偏差補償回路において、

受信信号を直交検波して得られるベースバンド信号を、シンボルレートの 2 以上の整数倍のレートで周期的にサンプリングしてアナログーデジタル変換する A/D 変

換回路と、

シンボルレートの整数倍のレートで前記 A/D 変換回路から出力されるデジタル信号を入力してシリアルーパラレル変換を行い、複数系統に分離されたシンボルレートのデジタル信号を出力するシリアルーパラレル変換回路と、

前記シリアルーパラレル変換回路が出力する複数系統のデジタル信号を系統毎に処理して前記デジタル信号に含まれるトレーニング信号から、複数のサンプリングタイミングの周波数偏差を検出する複数の周波数偏差検出回路と、

前記複数の周波数偏差検出回路がそれぞれ検出した周波数偏差に対応する正弦波状のデジタル信号を出力する複数の発振回路と、

前記シリアルーパラレル変換回路が出力する複数系統のデジタル信号を系統毎に遅延したデジタル信号を出力する複数の遅延回路と、

前記複数の遅延回路が出力する複数のデジタル信号の周波数偏差を、前記複数の発振回路が出力するデジタル信号に応じてそれぞれ補正する複数の乗算回路と、

前記複数の乗算回路がそれぞれ出力する周波数偏差の補正されたデジタル信号とトレーニング信号との相関に基づき、インパルスレスポンスを求める複数の相関回路と、

前記複数の相関回路がそれぞれ出力するインパルスレスポンスとトレーニング信号とに基づいて、シンボル毎のレプリカを求める複数のレプリカ生成回路と、

前記相関回路及びレプリカ生成回路の処理に要する時間に応じて前記複数の乗算回路が出力する信号をそれぞれ遅延する複数のレプリカ遅延回路と、

前記複数のレプリカ遅延回路が出力する信号と、前記複数のレプリカ生成回路が生成するレプリカとの差を推定誤差として求める複数の加算回路と、

前記加算回路が出力する推定誤差の絶対値の 2 乗をトレーニング信号の現れる期間について積算する複数の積算回路と、

前記複数の積算回路がトレーニング信号の終了時にそれぞれ出力する推定誤差を互いに比較してその結果を示す信号を出力する比較回路と、

前記複数の乗算回路が出力する周波数偏差の補正された複数のデジタル信号の 1 つを前記比較回路が出力する信号に応じて選択的に出力する選択回路とを設けたことを特徴とする適応等化器用周波数偏差補償回路。

【請求項 4】 請求項 3 記載の適応等化器用周波数偏差補償回路において、前記複数の乗算回路がそれぞれ出力する周波数偏差の補正されたデジタル信号を前記比較回路が結果を出力するまで遅延して前記選択回路に入力する複数のタイミング遅延回路を設けたことを特徴とする適応等化器用周波数偏差補償回路。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ディジタル無線受信機の適応等化器の前段に配置される適応等化器用周波数偏差補償回路に関する。適応等化器は、マルチパスフェージングによる符号間干渉によって伝送特性が劣化するのを防止する。本発明の適応等化器用周波数偏差補償回路は、適応等化器に入力される信号の周波数偏差を補正し、送受信ローカル周波数の偏差を補償する。

## 【0002】

【従来の技術】ディジタル無線通信においては、データ伝送速度の高速化に伴い、マルチパスフェージングによる符号間干渉が生じて伝送特性が劣化する。これを補償する技術の一つに等化器がある。しかし、送信機及び受信機に内蔵されるローカル発振器の周波数偏差が大きくなると、等化器の等化能力は劣化する。また、受信機内部のA/D変換器等で信号をサンプリングする際に生じるサンプリングタイミングのオフセット（偏差）により等化器の等化能力は劣化する。

【0003】サンプリングタイミングのオフセットについては、適応等化器の内部処理により補正可能である。このため、従来の適応等化器用周波数偏差補償回路においては、サンプリングタイミングのオフセットは補償せずに、周波数偏差だけを補償した信号を適応等化器に出力する。従来の適応等化器用周波数偏差補償回路は、例えば文献「H. Matsui "Delayed Decision Feedback Sequence Estimator For GMSK Burst Modem", MoMuC3, A.3.1, 2」に示されている。

【0004】従来の適応等化器用周波数偏差補償回路は、図12のように構成されている。この適応等化器用周波数偏差補償回路においては、入力される受信信号をA/D変換回路501でサンプリングしてディジタル信号に変換する。変調方式がGMSKの場合には、受信信号のシンボルレートと同一のレートでサンプリングする。つまり、1シンボルあたり一回のサンプリング及びA/D変換を実施する。また、変調方式がオフセットQPSKの場合には、シンボルレートの2倍のレートでサンプリングする。

【0005】入力される受信信号は、図5に示すようにトレーニング信号350とデータ信号351とで構成されている。また、トレーニング信号350として同じNシンボルのランダム信号がM回繰り返し現れる。図12の適応等化器用周波数偏差補償回路においては、1つのトレーニング信号350が現れている間に、周波数偏差検出回路505は乗算器503が出力するディジタル信号に基づき周波数偏差を検出する。

【0006】トレーニング信号350にはNシンボル周期で同じ信号が繰り返して現れるので、周波数偏差検出回路505はNシンボルの間の受信信号の位相変化を検出する。また、雑音の影響を取り除くために、複数シンボルで検出した位相変化量を平均化する。そして、検出し

た位相変化量をNで除算して、1シンボルあたりの位相変化、すなわち周波数偏差を検出する。

【0007】発振回路506は、周波数偏差検出回路505が検出した周波数偏差を入力し、検出した周波数偏差を補正するためにそれと逆向きに位相が回転する正弦波を発振する。乗算器503は、A/D変換回路501が出力するディジタル信号と発振回路506が出力するディジタル信号とを乗算して、周波数偏差が補償されたディジタル信号を生成する。

【0008】従って、周波数偏差検出回路505が周波数偏差を検出した後、発振回路506の出力によって周波数偏差が補償されたディジタル信号が等化器504に出力される。この種の適応等化器用周波数偏差補償回路を用いるディジタル無線通信では、変調方式として例えばGMSKやオフセットQPSKが用いられる。これらの変調方式を利用する場合には、図9に示すように、位相遷移が空間位相ダイアグラムの0を通らない。

## 【0009】

【発明が解決しようとする課題】従来の適応等化器用周波数偏差補償回路では、受信信号のサンプリングタイミングの同期をとる前に、周波数偏差の検出と補償を行う。その後、等化器で符号間干渉を等化する。変調方式としてGMSKやオフセットQPSKを用いる場合には、受信信号の位相遷移が位相空間ダイアグラムの0を通らないので、どのサンプリングタイミングで周波数偏差を検出してもある程度の受信電力が得られる。

【0010】しかしながら、変調方式としてBPSKやQPSKを用いる場合には、図10に示すように位相遷移が位相空間ダイアグラムの0を通る。その場合には、受信信号の位相遷移が位相空間ダイアグラムの0の付近のタイミングでサンプリングを実施すると、小さな受信電力しか得られない。従って、雑音の影響が強く、周波数偏差の検出誤差が大きくなる。

【0011】従って、従来の適応等化器用周波数偏差補償回路を、変調方式としてBPSKやQPSKを採用する通信システムに適用すると、周波数偏差補償性能が劣化するのは避けられない。また、従来の適応等化器用周波数偏差補償回路はフィードバックループを形成している。そのため、周波数偏差を検出するためのトレーニング信号と等化器のトレーニング信号とを共通化することができない。従って、トレーニング長が長くなるのは避けられなかった。

【0012】本発明は、適応等化器用周波数偏差補償回路において、位相遷移が位相空間ダイアグラムの0を通る変調方式を採用した場合に補償性能が劣化するのを防止するとともに、周波数偏差検出のために用いるトレーニング信号と等化器が利用するトレーニング信号との共通化を可能にすることを目的とする。

## 【0013】

【課題を解決するための手段】請求項1の適応等化器用

周波数偏差補償回路は、受信信号のマルチパスフェージングによる波形歪みを補償する等化器の前に設置され、所定数のシンボル毎に同じ信号が繰り返し現れるトレーニング信号を含むバーストフォーマットの受信信号を処理して受信信号の周波数偏差を補償する適応等化器用周波数偏差補償回路において、受信信号を直交検波して得られるベースバンド信号を、シンボルレートの2以上の整数倍のレートで周期的にサンプリングしてアナログ→デジタル変換するA/D変換回路と、シンボルレートの整数倍のレートで前記A/D変換回路から出力されるデジタル信号を入力してシリアル→パラレル変換を行い、複数系統に分離されたシンボルレートのデジタル信号を出力するシリアル→パラレル変換回路と、前記シリアル→パラレル変換回路が出力する複数系統のデジタル信号を系統毎に処理して前記デジタル信号に含まれるトレーニング信号から、複数のサンプリングタイミングの周波数偏差を検出する複数の周波数偏差検出回路と、前記シリアル→パラレル変換回路が出力する複数系統のデジタル信号を系統毎に処理して、前記デジタル信号の電力をトレーニング信号の一定期間について積算する複数の積算回路と、前記複数の積算回路がそれぞれ出力する積算された電力を互いに比較して、比較の結果を示す信号を出力する比較回路と、前記比較回路が出力する信号に従って、前記複数の周波数偏差検出回路が出力する複数の周波数偏差の1つを選択する選択回路と、前記選択回路が選択した周波数偏差に従って、正弦波状の信号を出力する発振回路と、等化器に入力される信号の周波数偏差を、前記発振回路が出力する信号に応じて補正する乗算回路とを設けたことを特徴とする。

【0014】A/D変換回路がシンボルレートの2以上の整数倍のレートでベースバンド信号を周期的にサンプリングするので、ベースバンド信号の各シンボルは互いに異なる複数のタイミングでそれぞれサンプリングされる。A/D変換回路が出力するデジタル信号は、シリアル→パラレル変換回路によって複数系統の並列信号に分割される。つまり、互いにサンプリングのタイミングが異なる複数系統のデジタル信号がシリアル→パラレル変換回路から出力される。

【0015】複数の周波数偏差検出回路は、シリアル→パラレル変換回路が出力する各系統のデジタル信号のトレーニング信号に基づいて周波数偏差を検出する。複数の積算回路は、シリアル→パラレル変換回路が出力する複数系統のデジタル信号を系統毎に処理して、前記デジタル信号の電力をトレーニング信号の一定期間について積算する。

【0016】比較回路は、複数の積算回路がそれぞれ出力する積算された電力を互いに比較して、比較の結果を示す信号を出力する。選択回路は、比較回路が出力する信号に従って、前記複数の周波数偏差検出回路が出力する複数の周波数偏差の1つを選択する。発振回路は、選

択回路が選択した周波数偏差に従って、正弦波状の信号を出力する。乗算回路は、等化器に入力される信号の周波数偏差を、前記発振回路が出力する信号に応じて補正する。

【0017】本発明においては、互いに異なるタイミングでサンプリングされた複数の信号のそれぞれについて周波数偏差を検出するので、複数の周波数偏差の中で最も信頼度の高い周波数偏差を利用して周波数偏差を補正できる。つまり、サンプリングタイミングのずれによって大きな検出誤差が生じた周波数偏差の影響を排除することができる。

【0018】そのため、変調方式として、信号の位相遷移が位相空間ダイアグラムの0を通るBPSKやQPSKを利用する場合であっても、大きな誤差を生じることなくサンプリングタイミングの同期をとる前に周波数偏差を補正できる。また、本発明の適応等化器用周波数偏差補償回路は、周波数偏差をトレーニング信号の周期性から検出するので、制御系がオープンループとして構成される。従って、周波数偏差検出のためのトレーニング信号と適応等化器のためのトレーニング信号とを共通化できる。この共通化によって、トレーニング信号の短縮が可能になり、バースト利用効率の改善が可能になる。

【0019】なお、本発明の適応等化器用周波数偏差補償回路で補正できない残留周波数偏差は、小さな偏差なので適応等化器で吸収できる。請求項2は、請求項1記載の適応等化器用周波数偏差補償回路において、前記A/D変換回路が出力するデジタル信号を遅延して前記乗算回路に入力する遅延回路を設けたことを特徴とする。

【0020】A/D変換回路がデジタル信号の出力を開始してから周波数偏差の補正に必要な信号が発振回路から出力されるまでにはある程度の時間がかかる。遅延回路は、A/D変換回路が出力するデジタル信号を遅延して前記乗算回路に入力するので、周波数偏差が補正されていない無効な信号が乗算回路から出力されるのを防止できる。

【0021】請求項3の適応等化器用周波数偏差補償回路は、受信信号のマルチパスフェージングによる波形歪みを補償する等化器の前に設置され、所定数のシンボル毎に同じ信号が繰り返し現れるトレーニング信号を含むバーストフォーマットの受信信号を処理して受信信号の周波数偏差を補償する適応等化器用周波数偏差補償回路において、受信信号を直交検波して得られるベースバンド信号を、シンボルレートの2以上の整数倍のレートで周期的にサンプリングしてアナログ→デジタル変換するA/D変換回路と、シンボルレートの整数倍のレートで前記A/D変換回路から出力されるデジタル信号を入力してシリアル→パラレル変換を行い、複数系統に分離されたシンボルレートのデジタル信号を出力するシリアル→パラレル変換回路と、前記シリアル→パラレル

変換回路が出力する複数系統のデジタル信号を系統毎に処理して前記デジタル信号に含まれるトレーニング信号から、複数のサンプリングタイミングの周波数偏差を検出する複数の周波数偏差検出回路と、前記複数の周波数偏差検出回路がそれぞれ検出した周波数偏差に対応する正弦波状のデジタル信号を出力する複数の発振回路と、前記シリアル-パラレル変換回路が出力する複数系統のデジタル信号を系統毎に遅延したデジタル信号を出力する複数の遅延回路と、前記複数の遅延回路が出力する複数のデジタル信号の周波数偏差を、前記複数の発振回路が出力するデジタル信号に応じてそれぞれ補正する複数の乗算回路と、前記複数の乗算回路がそれぞれ出力する周波数偏差の補正されたデジタル信号とトレーニング信号との相関に基づき、インパルスレスポンスを求める複数の相関回路と、前記複数の相関回路がそれぞれ出力するインパルスレスポンスとトレーニング信号とに基づいて、シンボル毎のレプリカを求める複数のレプリカ生成回路と、前記相関回路及びレプリカ生成回路の処理に要する時間に応じて前記複数の乗算回路が出力する信号をそれぞれ遅延する複数のレプリカ遅延回路と、前記複数のレプリカ遅延回路が出力する信号と、前記複数のレプリカ生成回路が生成するレプリカとの差を推定誤差として求める複数の加算回路と、前記加算回路が出力する推定誤差の絶対値の2乗をトレーニング信号の現れる期間について積算する複数の積算回路と、前記複数の積算回路がトレーニング信号の終了時にそれぞれ出力する推定誤差を互いに比較してその結果を示す信号を出力する比較回路と、前記複数の乗算回路が出力する周波数偏差の補正された複数のデジタル信号の1つを前記比較回路が出力する信号に応じて選択的に出力する選択回路とを設けたことを特徴とする。A/D変換回路がシンボルレートの2以上の整数倍のレートでベースバンド信号を周期的にサンプリングするので、ベースバンド信号の各シンボルは互いに異なる複数のタイミングでそれぞれサンプリングされる。

【0022】A/D変換回路が出力するデジタル信号は、シリアル-パラレル変換回路によって複数系統の並列信号に分割される。つまり、互いにサンプリングのタイミングが異なる複数系統のデジタル信号がシリアル-パラレル変換回路から出力される。複数の周波数偏差検出回路は、シリアル-パラレル変換回路が出力する各系統のデジタル信号のトレーニング信号に基づいて周波数偏差を検出する。複数の発振回路は、前記複数の周波数偏差検出回路がそれぞれ検出した周波数偏差に対応する正弦波状のデジタル信号を出力する。

【0023】複数の遅延回路は、前記シリアル-パラレル変換回路が出力する複数系統のデジタル信号を系統毎に遅延したデジタル信号を出力する。複数の乗算回路は、前記複数の遅延回路が出力する複数のデジタル信号の周波数偏差を前記複数の発振回路が出力するデ

ジタル信号に応じてそれぞれ補正する。従って、複数の乗算回路の出力には、周波数偏差が補正されたサンプリングタイミング毎の複数の信号が得られる。

【0024】複数の相関回路は、前記複数の乗算回路がそれぞれ出力する周波数偏差の補正されたデジタル信号とトレーニング信号との相関に基づき、インパルスレスポンスを求める。複数のレプリカ生成回路は、前記複数の相関回路がそれぞれ出力するインパルスレスポンスとトレーニング信号とに基づいて、シンボル毎のレプリカを求める。

【0025】複数のレプリカ遅延回路は、前記相関回路及びレプリカ生成回路の処理に要する時間に応じて前記複数の乗算回路が出力する信号をそれぞれ遅延する。複数の加算回路は、前記複数のレプリカ遅延回路が出力する信号と、前記複数のレプリカ生成回路が生成するレプリカとの差を推定誤差として求める。

【0026】複数の積算回路は、前記加算回路が出力する推定誤差の絶対値の2乗をトレーニング信号の現れる期間について積算する。比較回路は、前記複数の積算回路がトレーニング信号の終了時にそれぞれ出力する推定誤差を互いに比較してその結果を示す信号を出力する。選択回路は、前記複数の乗算回路が出力する周波数偏差の補正された複数のデジタル信号の1つを前記比較回路が出力する信号に応じて選択的に出力する。

【0027】本発明においては、互いに異なるタイミングでサンプリングされた複数の信号のそれぞれについて周波数偏差を検出するので、複数の周波数偏差の中で最も信頼度の高い周波数偏差を利用して周波数偏差を補正できる。つまり、サンプリングタイミングのずれによって大きな検出誤差が生じた周波数偏差の影響を排除することができる。

【0028】そのため、変調方式として、信号の位相遷移が位相空間ダイアグラムの0を通るBPSKやQPSKを利用する場合であっても、大きな誤差を生じることなくサンプリングタイミングの同期をとる前に周波数偏差を補正できる。また、本発明の適応等化器用周波数偏差補償回路は、周波数偏差をトレーニング信号の周期性から検出するので、制御系がオープンループとして構成される。従って、周波数偏差検出のためのトレーニング信号と適応等化器のためのトレーニング信号とを共通化できる。この共通化によって、トレーニング信号の短縮が可能になり、バースト利用効率の改善が可能になる。

【0029】なお、本発明の適応等化器用周波数偏差補償回路で補正できない残留周波数偏差は、小さな偏差なので適応等化器で吸収できる。請求項4は、請求項3記載の適応等化器用周波数偏差補償回路において、前記複数の乗算回路がそれぞれ出力する周波数偏差の補正されたデジタル信号を前記比較回路が結果を出力するまで遅延して前記選択回路に入力する複数のタイミング遅延回路を設けたことを特徴とする。

【0030】前記複数の乗算回路の出力に周波数偏差の補正された複数のデジタル信号が現れてから、前記比較回路が比較の結果を出力するまでにはある程度の時間がかかる。タイミング遅延回路を設けて前記選択回路に入力されるデジタル信号を遅延することにより、推定誤差の大きい信号が等化器に入力されるのを防止できる。

【0031】

【発明の実施の形態】（第1の実施の形態）この形態の適応等化器用周波数偏差補償回路を図1～図4及び図11に示す。この形態は請求項1及び請求項2に対応する。図1は第1の実施の形態の適応等化器用周波数偏差補償回路の構成を示すブロック図である。図2は周波数偏差検出回路の構成を示すブロック図である。図3は積算回路の構成を示すブロック図である。図4は並列デジタル信号の生成動作を示すタイムチャートである。図11は乗算回路80のブロック図である。

【0032】この形態では、請求項1のA/D変換回路、シリアル-パラレル変換回路、複数の周波数偏差検出回路、複数の積算回路、比較回路、選択回路、発振回路及び乗算回路は、それぞれA/D変換回路10、シリアル-パラレル変換回路20、周波数偏差検出回路30～33、積算回路34～37、比較回路40、選択回路50、発振回路60及び乗算回路80に対応する。また、請求項2の遅延回路は遅延回路70に対応する。

【0033】図1に示す適応等化器用周波数偏差補償回路は、図5に示すような形式のバースト信号を受信する受信装置に内蔵される。受信装置の内部の図示しない直交検波器が出力するアナログベースバンド信号600がこの適応等化器用周波数偏差補償回路に入力される。この適応等化器用周波数偏差補償回路によって生成される補正されたデジタル信号664が適応等化器90に印加される。適応等化器90は、マルチパスフェージングによって生じる受信信号の波形歪みを補償する。

【0034】図1に示すように、この適応等化器用周波数偏差補償回路は、A/D変換回路10、タイミング発生回路15、シリアル-パラレル変換回路20、周波数偏差検出回路30～33、積算回路34～37、比較回路40、選択回路50、発振回路60、遅延回路70及び乗算回路80を備えている。A/D変換回路10は2つのA/D変換器11、12を備え、シリアル-パラレル変換回路20は2つの直列/並列変換器21、22を備えている。乗算回路80は、図11に示すように4つの乗算器81～84と2つの加算器85、86を備えている。

【0035】直交検波により生成されるアナログベースバンド信号600は、図9、図10に示すI軸方向の信号を示す同相成分601と、Q軸方向の信号を示す直交成分602とで構成されている。アナログベースバンド信号600の同相成分601及び直交成分602は、そ

れぞれ図1のA/D変換器11及び12によってサンプリングされ、A/D変換されてデジタル信号611、612になる。

【0036】タイミング発生回路15は、デジタル信号611、612に基づいて受信された信号のシンボル周期Tsを識別し、検出したシンボル周期Tsに応じたタイミング信号を生成する。このタイミング信号は、A/D変換器11、12及び直列/並列変換器21、22に印加される。A/D変換器11及び12は、タイミング発生回路15からのタイミング信号に同期して、信号のサンプリング及びA/D変換を実施する。この例では、A/D変換器11、12のサンプリング周期は、図4に示すようにシンボル周期Tsの(1/4)になっている。

【0037】つまり、A/D変換器11、12はアナログベースバンド信号600のシンボルレート（シンボル/秒）の4倍のレートでサンプリングを実施する。従って、A/D変換器11、12の出力には、図4に示すように互いにサンプリングタイミングの異なる4種類の信号が、シンボルレートの4倍のレートの時系列デジタル信号として現れる。

【0038】A/D変換器11、12が出力するデジタル信号611、612は、直列/並列変換器21、22と遅延回路70に入力される。直列/並列変換器21、22へのデジタル信号611、612の入力はバーストのトレーニング信号350が現れる期間のみ行われ、遅延回路70への入力はバーストの全期間にわたって行われる。

【0039】直列/並列変換器21及び22は、タイミング発生回路15からのタイミング信号に同期して、デジタル信号611及び612の直列/並列変換を実施し、並列デジタル信号621～624及び631～634を出力する。並列デジタル信号621～624は、図4に示すように互いに異なるタイミング（各シンボルに対して異なる位相）でサンプリングされた4種類の信号成分である。並列デジタル信号621～624は、シンボルレートと同一のレートで出力される。

【0040】各サンプリングタイミング毎に、並列デジタル信号621及び631は周波数偏差検出回路30並びに積算回路34に入力され、並列デジタル信号622及び632は周波数偏差検出回路31並びに積算回路35に入力され、並列デジタル信号623及び633は周波数偏差検出回路32並びに積算回路36に入力され、並列デジタル信号624及び634は周波数偏差検出回路33並びに積算回路37に入力される。

【0041】つまり、周波数偏差検出回路30～33には互いに異なるタイミングでサンプリングされた信号の同相成分と直交成分とが入力される。積算回路34～37にも互いに異なるタイミングでサンプリングされた信号の同相成分と直交成分とが入力される。

【0042】周波数偏差検出回路30～33は、入力される信号に基づいてその信号の周波数偏差を検出する。トレーニング信号350にはNシンボル毎に同じ信号が繰り返し現れるので、Nシンボルの時間差で現れた2つの信号を演算してそれらの間の位相の変化量を検出する。また、雑音の影響を取り除くために互いに異なるタイミングで検出された位相の変化量を複数用いてそれらを平均化する。更に、平均化された位相の変化量をNで除算して1シンボルあたりの位相変化、すなわち周波数偏差を検出する。

【0043】周波数偏差検出回路30～33が出力する4つの周波数偏差信号651～654は、選択回路50に入力される。積算回路34～37は、入力される信号の絶対値の二乗、すなわち電力の瞬時値を求めて、その結果をトレーニング信号350が現れる期間の全体に渡って積算する。トレーニング信号350が終了したときに、積算回路34～37は積算信号641を比較回路40に出力する。

【0044】比較回路40は、それぞれサンプリングタイミングの異なる4種類の積算信号641～644を互いに比較して、その中で最大の信号を識別する。その結果を比較回路40は選択制御信号660として出力する。選択制御信号660は0、1、2及び3の何れかの値を示す。選択回路50は、4種類のサンプリングタイミングでそれぞれ検出された周波数偏差信号651～654の1つを選択制御信号660に従って選択する。選択された周波数偏差信号661が選択回路50から出力される。

【0045】積算信号641～644の中で積算信号641が最大であれば、選択回路50は周波数偏差信号651を選択する。また、積算信号641～644の中で積算信号642が最大であれば、選択回路50は周波数偏差信号652を選択する。積算信号641～644の中で積算信号643が最大であれば、選択回路50は周波数偏差信号653を選択する。積算信号641～644の中で積算信号644が最大であれば、選択回路50は周波数偏差信号654を選択する。

【0046】選択された周波数偏差信号661の周波数偏差は同じバーストが現れている間は固定される。この選択された周波数偏差信号661が発振回路60に印加される。発振回路60は、検出された周波数偏差を補正する方向に位相が回転するデジタル正弦波信号662を発振する。このデジタル正弦波信号662が乗算回路80に印加される。A/D変換器11、12から出力されるデジタル信号611、612は、発振回路60からデジタル正弦波信号662が出力されるまでの時間だけ、遅延回路70で遅延されて乗算回路80に印加される。

【0047】乗算回路80は、デジタル正弦波信号662と遅延されたデジタル信号663とを乗算して、

周波数偏差を補正する。乗算回路80によって周波数偏差が補正されたデジタル信号664が適応等化器90に入力される。選択回路50で選択された1つの周波数偏差に対応する位相（時間Tの位相差）を $\Delta\theta$ で表す場合、発振回路60が出力するデジタル正弦波信号662の時刻nTにおける同相成分 $v_i(nT)$ 及び直交成分 $v_q(nT)$ は、それぞれ次式で表される。

$$【0048】 v_i(nT) = \cos(n\Delta T)$$

$$v_q(nT) = -\sin(n\Delta T)$$

また、遅延されたデジタル信号663の時刻nTにおける同相成分 $R_i(nT)$ 及び直交成分 $R_q(nT)$ は、それぞれ次式で表される。

$$R_i(nT) = \cos(\phi(nT))$$

$$R_q(nT) = \sin(\phi(nT))$$

乗算回路80から出力される補正されたデジタル信号664の時刻nTにおける同相成分 $x(nT)$ 及び直交成分 $y(nT)$ は、それぞれ次式で表される。

$$【0049】 x(nT) = \cos(n\Delta T) \cdot \cos(\phi(nT)) + \sin(n\Delta T) \cdot \sin(\phi(nT))$$

$$y(nT) = \cos(n\Delta T) \cdot \sin(\phi(nT)) - \sin(n\Delta T) \cdot \cos(\phi(nT))$$

発振回路60が出力するデジタル正弦波信号662の周波数は1つのバーストの間は一定の周波数に固定されるため、補正されたデジタル信号664には多少の残留周波数偏差が現れる。この残留周波数偏差は、適応等化器90の内部処理によって吸収される。

【0050】周波数偏差検出回路30の構成を図2に示す。他の周波数偏差検出回路31～33も図2と同一の構成になっている。図2を参照すると、この周波数偏差検出回路30は、遅延回路311、312、演算回路328、平均化回路331、332、Arctan回路340及び1/N回路341で構成されている。

【0051】遅延回路311及び312は、入力される同相成分の信号621及び直交成分の信号622をシンボル周期 $T_s$ のN倍の期間だけ遅延する。演算回路328は、3つの乗算器321、322、325と、3つの加算器323、324、326とで構成されている。演算回路328は、入力される信号321、631と遅延回路311でNシンボル周期だけ遅延された信号との位相差を同相成分と直交成分のそれぞれについて求める。求められた位相差が平均化回路331、332に入力される。

【0052】雑音の影響を取り除くために、平均化回路331は、演算回路328が出力する同相成分の位相差を複数シンボルについて平均化する。同様に平均化回路332は、演算回路328が出力する直交成分の位相差を複数シンボルについて平均化する。Arctan回路340は、平均化回路331が出力する同相成分の位相差と平均化回路332が出力する直交成分の位相差との比率の逆正接を演算して、位相変化に対応する角度を求める。



【0053】1/N回路341は、Arctan回路340が出力する信号の値をNで除算して、1シンボルあたりの位相変化量を周波数偏差信号651として出力する。積算回路34の構成を図3に示す。他の積算回路35～37も図3と同一の構成になっている。図3に示すように、積算回路34は絶対値回路411、412、二乗回路413、414、加算回路415、416及び遅延回路417を備えている。

【0054】絶対値回路411は、入力される同相成分の信号621の絶対値を求める。二乗回路413は、絶対値回路411が出力する絶対値信号の二乗を計算する。絶対値回路412は、入力される直交成分の信号622の絶対値を求める。二乗回路414は、絶対値回路412が出力する絶対値信号の二乗を計算する。加算回路415は、二乗回路413が出力する同相成分の二乗信号と二乗回路414が出力する直交成分の二乗信号との和を出力する。

【0055】加算回路416は、加算回路415の出力と遅延回路417の出力との和を計算して出力する。遅延回路417は、加算回路416の出力する信号を入力して、それを1シンボル周期 $T_s$ の期間だけ遅延した信号を出力する。従って、加算回路415が出力する信号は、加算回路416及び遅延回路417によって積算される。加算回路416から積算信号641が出力される。

【0056】（第2の実施の形態）この形態の適応等化器用周波数偏差補償回路を図6～図8に示す。この形態は請求項3及び請求項4に対応する。図6は、第2の実施の形態の適応等化器用周波数偏差補償回路の構成を示すブロック図である。図7は、誤差検出ユニットの構成を示すブロック図である。図8は、レプリカ生成回路の構成を示すブロック図である。図6～図8において、第1の実施の形態と同一の構成要素は同一の符号で示されている。

【0057】この形態では、請求項3のA/D変換回路、シリアル-パラレル変換回路、周波数偏差検出回路、発振回路、遅延回路、乗算回路、相関回路、レプリカ生成回路、レプリカ遅延回路、加算回路、積算回路、比較回路、選択回路は、それぞれA/D変換回路10、シリアル-パラレル変換回路20、周波数偏差検出回路30、発振回路60、遅延回路70、乗算回路80、相関回路120、レプリカ生成回路130、レプリカ遅延回路160、加算回路140、積算回路150、比較回路40B及び選択回路50Bに対応する。

【0058】また、請求項4のタイミング遅延回路はタイミング遅延回路170～173に対応する。図6に示すように、この形態の適応等化器用周波数偏差補償回路は、A/D変換回路10、タイミング発生回路15、シリアル-パラレル変換回路20、誤差検出ユニット101～104、タイミング遅延回路170～173、比較

回路40B及び選択回路50Bで構成されている。選択回路50Bの出力するデジタル信号698が適応等化器90に入力される。

【0059】第1の実施の形態と同様に、この適応等化器用周波数偏差補償回路を備える受信装置は、図5に示す構成のバースト信号を受信する。そして、受信した信号を図示しない直交検波器により検波して得られるアナログベースバンド信号600が図6の適応等化器用周波数偏差補償回路に入力される。アナログベースバンド信号600はA/D変換回路10によってシンボルレート $T_s$ の4倍のレートでサンプリングされデジタル信号611、612に変換される。また、シリアル-パラレル変換回路20の出力には並列デジタル信号621～624、631～634が現れる。

【0060】並列デジタル信号621～624は同相成分であり、並列デジタル信号631～634は直交成分である。各サンプリングタイミング毎に並列デジタル信号621～624、631～634が誤差検出ユニット101～104に入力される。誤差検出ユニット101は、図7に示すように構成されている。他の誤差検出ユニット102～104も図7と同一の構成になっている。

【0061】図7に示すように、誤差検出ユニット101は、周波数偏差検出回路30、遅延回路70、発振回路60、乗算回路80、相関回路120、レプリカ生成回路130、レプリカ遅延回路160、加算回路140及び積算回路150で構成されている。図7に示す周波数偏差検出回路30には、バースト信号にトレーニング信号350が現れている期間に限り並列デジタル信号621、631が入力される。また、遅延回路70にバースト信号が現れる全期間に渡って並列デジタル信号621、631が入力される。

【0062】周波数偏差検出回路30は、入力される信号に基づいてその信号の周波数偏差を検出する。トレーニング信号350にはNシンボル毎に同じ信号が繰り返し現れるので、Nシンボルの時間差で現れた2つの信号を演算してそれらの間の位相の変化量を検出する。また、雑音の影響を取り除くために互いに異なるタイミングで検出された位相の変化量を複数用いてそれらを平均化する。更に、平均化された位相の変化量をNで除算して1シンボルあたりの位相変化、すなわち周波数偏差を検出する。

【0063】周波数偏差検出回路30は、トレーニング信号350が終了したときに周波数偏差信号701を出力する。この周波数偏差信号701は1つのバースト信号が現れている間は固定される。この周波数偏差信号701は発振回路60に入力される。発振回路60は、周波数偏差検出回路30が出力する周波数偏差信号701に応じて定まるデジタル正弦波信号702を出力する。デジタル正弦波信号702は、正弦波状に数値が

変化するデジタル信号であり、この信号の位相は周波数偏差信号701に対応する偏差を補正するように、検出された信号の位相と逆向きに回転する。

【0064】遅延回路70は、並列デジタル信号621、631を所定時間遅延して、発振回路60がデジタル正弦波信号702を出力するのと同時に遅延されたデジタル信号703を出力する。乗算回路80は、遅延されたデジタル信号703と発振回路60が出力するデジタル正弦波信号702との複素乗算を実施して周波数偏差を補正する(図11参照)。補正されたデジタル信号704が乗算回路80から出力される。

【0065】乗算回路80から出力される補正されたデジタル信号704は、相関回路120と、レプリカ遅延回路160と、図6に示すタイミング遅延回路170に入力される。相関回路120及びレプリカ遅延回路160については、補正されたデジタル信号704はバースト信号にトレーニング信号350が現れている期間に限り入力される。タイミング遅延回路170については、バースト信号の全期間に渡って補正されたデジタル信号704が入力される。

【0066】相関回路120は、補正されたデジタル信号704と内部で生成されるトレーニング信号(350と同じ)との相関に基づいてインパルスレスポンスを求める。この例では、同一の入力信号について7つのインパルスレスポンス信号711~717が相関回路120で生成される。レプリカ生成回路130は、相関回路120から出力されるインパルスレスポンス信号711~717と内部で生成されるトレーニング信号350Bとに基づいてトレーニング信号350の複製を各シンボル毎に生成する。この複製をレプリカ信号721として出力する。

【0067】レプリカ遅延回路160は、補正されたデジタル信号704を所定時間遅延して、レプリカ信号721が現れるタイミングと同時にレプリカ遅延信号722を出力する。つまり、相関回路120及びレプリカ生成回路130の処理に要する時間だけレプリカ遅延回路160は信号を遅延する。加算回路140は、シンボル毎にレプリカ遅延信号722とレプリカ信号721との差分を求め、この差分を推定誤差信号723として出力する。

【0068】積算回路150は図3と同様に構成されている。積算回路150は、加算回路140から入力される推定誤差信号723の自乗和を求め、その結果をトレーニング信号350が現れる期間に渡って積算する。トレーニング信号350が終了した時に、積算の結果が推定誤差積算信号671として積算回路150から出力される。

【0069】図6に示すように、4つの誤差検出ユニット101~104は、それぞれ推定誤差積算信号671~674を出力する。4つの推定誤差積算信号671~

674は、互いに異なるサンプリングタイミングで検出される推定誤差である。比較回路40Bは、トレーニング信号350が終了したときに、4つの推定誤差積算信号671~674を互いに比較して、推定誤差の自乗和が最小になるサンプリングタイミングを識別する。その識別結果が選択制御信号697として出力される。

【0070】選択制御信号697の値は、0、1、2、3のいずれかになる。また、選択制御信号697の値は、1つのバースト信号が現れている間は固定される。タイミング遅延回路170~173は、選択制御信号697の値が決定されるまでの間、信号を遅延するために設けてある。タイミング遅延回路170~173は、それぞれ、誤差検出ユニット101~104が出力する補正されたデジタル信号681~684を所定時間遅延する。

【0071】選択回路50Bは、選択制御信号697に応じて、4組の遅延されたデジタル信号691~694のいずれか1組を選択する。そして、選択されたデジタル信号698が選択回路50Bから出力される。例えば、4つの推定誤差積算信号671~674の中で推定誤差積算信号671が最小であれば、タイミング遅延回路170から出力される遅延されたデジタル信号691が選択されたデジタル信号698として選択回路50Bから出力される。

【0072】選択されたデジタル信号698が適応等化器90に入力される。選択されたデジタル信号698のサンプリングタイミング及び周波数偏差の補償量は1つのバースト信号が現れている間は固定されるので、選択されたデジタル信号698には多少の周波数偏差が残留周波数偏差として現れる可能性がある。しかし、この種の残留周波数偏差は適応等化器90の内部処理による補正によって吸収される。

【0073】図7のレプリカ生成回路130は、図8に示すように構成されている。図8を参照すると、このレプリカ生成回路130はトレーニング記憶回路201、遅延回路211~216、乗算回路221~227及び加算回路230で構成されるトランスバーサルフィルタである。タップ係数としてインパルスレスポンス信号711~717を用いる。

【0074】トレーニング記憶回路201は、バースト信号に含まれるトレーニング信号350(図5参照)と同一のトレーニング信号の情報を保持するROM(読み出し専用メモリ)である。インパルスレスポンス信号711~717の入力に同期して、トレーニング記憶回路201に保持されたトレーニング信号の情報がトレーニング信号350Bとして現れる。

【0075】乗算回路221~227は、トレーニング記憶回路201から出力されるトレーニング信号350Bと相関回路120から入力されるインパルスレスポンス信号711~717とを乗算する。加算回路230

は、乗算回路 221～227 の出力信号の総和を求める。シンボル毎に生成されるレプリカが、レプリカ信号 721 として加算回路 230 から出力される。

【0076】

【発明の効果】以上説明したように、本発明の適応等化器用周波数偏差補償回路によれば、シンボルレートの整数倍でサンプリングされた複数系統の信号から各タイミング毎に周波数偏差を検出し、それらの中で最も信頼度の高い周波数を利用して、周波数偏差を補正するので、検出誤差の大きい周波数偏差の使用を避けることができる。

【0077】そのため、BPSK や QPSK のような変調方式の採用により信号の位相遷移が位相空間ダイアグラムの 0 を通る場合にも、サンプリングタイミングの同期をとる前に周波数偏差を補正することができる。サンプリングタイミングが互いに異なる複数の受信信号の電力の比較によって信頼度の高い周波数を選択する場合には、簡易な構成で本発明を実現できる。また、周波数偏差を補正した後の複数の推定誤差の比較によって信頼度の高い周波数を選択する場合には精度の高い周波数偏差補正が可能である。

【0078】更に、本発明の適応等化器用周波数偏差補償回路は周波数偏差の補正だけでなくサンプリングタイミングを決定するので、適応等化器のサンプリングタイミング同期機能を省略できる。また、周波数偏差をトレーニング信号の周期性からオープンループの制御系で検出するので、周波数偏差検出のためのトレーニング信号と適応等化器のためのトレーニング信号とを共通化できる。従って、バースト利用効率の改善が可能である。

【図面の簡単な説明】

【図 1】第 1 の実施の形態の適応等化器用周波数偏差補償回路の構成を示すブロック図である。

【図 2】周波数偏差検出回路の構成を示すブロック図である。

【図 3】積算回路の構成を示すブロック図である。

【図 4】並列デジタル信号の生成動作を示すタイムチャートである。

【図 5】バースト信号の構成を示すタイムチャートである。

【図 6】第 2 の実施の形態の適応等化器用周波数偏差補償回路の構成を示すブロック図である。

【図 7】誤差検出ユニットの構成を示すブロック図である。

【図 8】レプリカ生成回路の構成を示すブロック図である。

【図 9】GMSK、オフセット QPSK 変調の位相遷移を示す位相空間ダイアグラムである。

【図 10】QPSK 変調の位相遷移を示す位相空間ダイアグラムである。

【図 11】乗算回路 80 の構成を示すブロック図であ

る。

【図 12】従来の適応等化器用周波数偏差補償回路の構成を示すブロック図である。

【符号の説明】

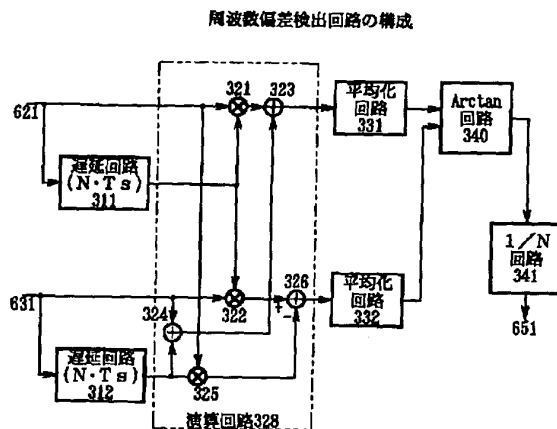
10 A/D 変換回路  
 11, 12 A/D 変換器  
 15 タイミング発生回路  
 20 シリアル-パラレル変換回路  
 21, 22 直列/並列変換器  
 30, 31, 32, 33 周波数偏差検出回路  
 34, 35, 36, 37 積算回路  
 40, 40B 比較回路  
 50, 50B 選択回路  
 60 発振回路  
 70 遅延回路  
 80 乗算回路  
 81, 82, 83, 84 乗算器  
 85, 86 加算器  
 90 適応等化器  
 101, 102, 103, 104 誤差検出ユニット  
 120 相関回路  
 130 レプリカ生成回路  
 140 加算回路  
 150 積算回路  
 160 レプリカ遅延回路  
 170, 171, 172, 173 タイミング遅延回路  
 201 トレーニング記憶回路  
 211, 212, 213, 214, 215, 216 遅延回路  
 221, 222, 223, 224, 225, 226 乗算回路  
 230 加算回路  
 311, 312 遅延回路  
 321, 322, 325 乗算器  
 323, 324, 326 加算器  
 328 演算回路  
 331, 332 平均化回路  
 340 Arctan 回路  
 341 1/N 回路  
 350 トレーニング信号  
 351 データ信号  
 411, 412 絶対値回路  
 413, 414 二乗回路  
 415, 416 加算回路  
 417 遅延回路  
 600 アナログベースバンド信号  
 601 同相成分  
 602 直交成分  
 611, 612 デジタル信号  
 621, 622, 623, 624 並列デジタル信号

631, 632, 633, 634 並列デジタル信号  
 641, 642, 643, 644 積算信号  
 651, 652, 653, 654 周波数偏差信号  
 660 選択制御信号  
 661 選択された周波数偏差信号  
 662 デジタル正弦波信号  
 663 遅延されたデジタル信号  
 664 補正されたデジタル信号  
 671, 672, 673, 674 推定誤差積算信号  
 681, 682, 683, 684 補正されたデジタル信号  
 691, 692, 693, 694 遅延されたデジタル信号

ル信号

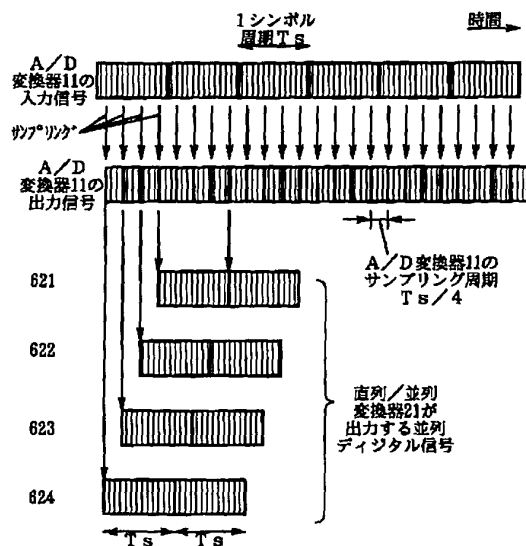
697 選択制御信号  
 698 選択されたデジタル信号  
 701 周波数偏差信号  
 702 デジタル正弦波信号  
 703 遅延されたデジタル信号  
 704 補正されたデジタル信号  
 711~717 インパルスレスポンス信号  
 721 レプリカ信号  
 722 レプリカ遅延信号  
 723 推定誤差信号

【図2】

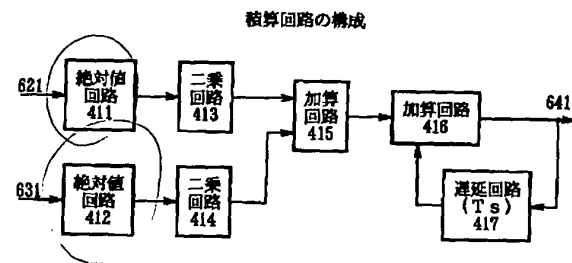


【図4】

並列デジタル信号の生成動作

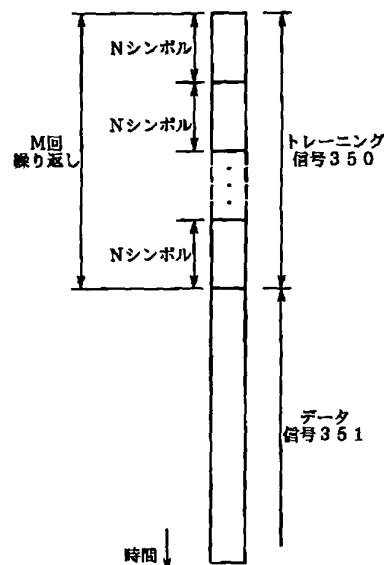


【図3】



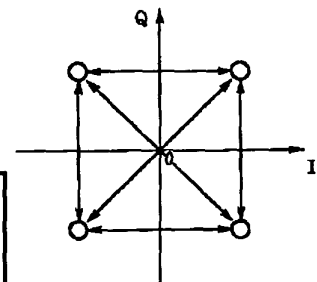
【図5】

バースト信号の構成

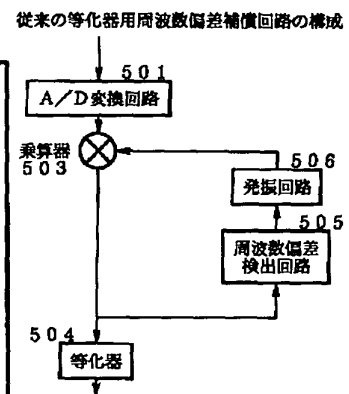


【图 10】

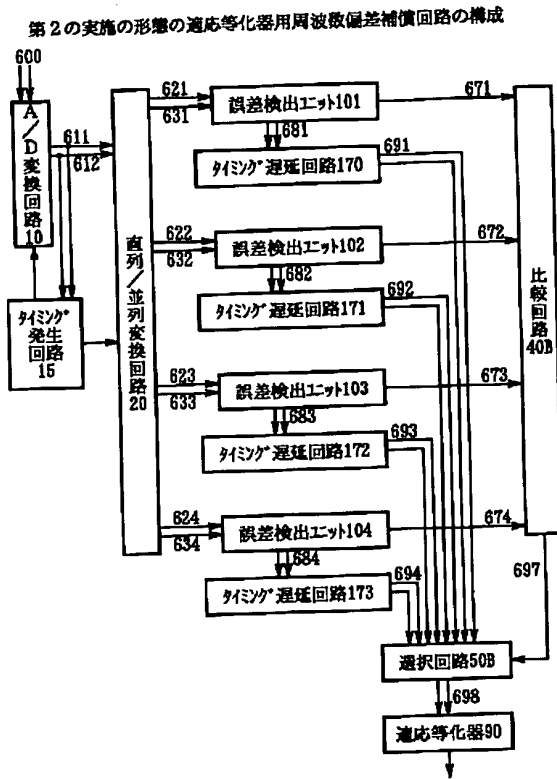
### QPSK変調の位相遷移



【図 12】

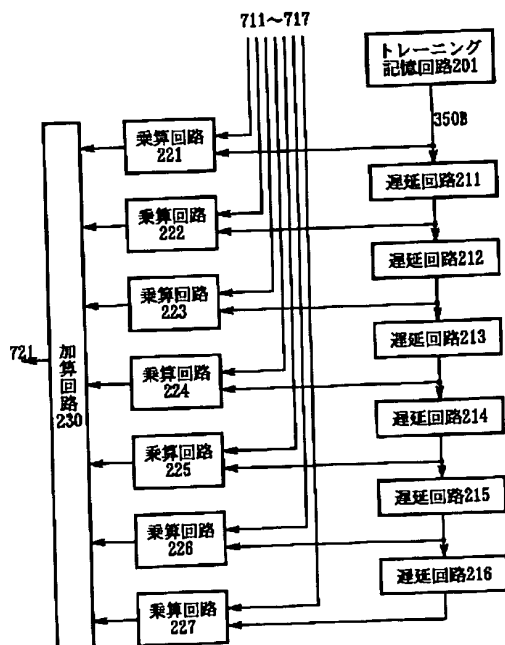


【図 6】

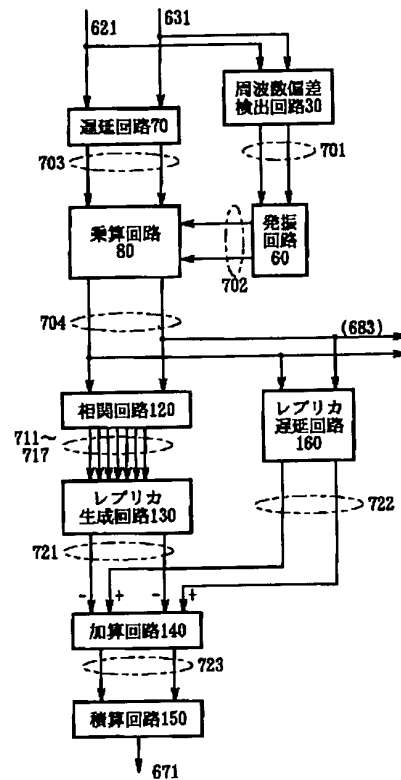


【図 8】

レプリカ生成回路の構成

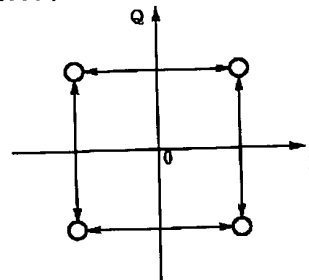


【図 7】



【図 9】

GMSK, オフセット QPSK 変調の位相遷移



【図 11】

乗算回路 80 の構成

